

FPGA 를 이용한 고속 신호 수신 플랫폼 구현

김도훈*, 노윤진*, 최소연*, 김기영**, 유호영*
충남대학교 전자공학과*,대명티에스**

Implementation of Fast Signal Receiver Platform using FPGA

Dohun Kim*, Yunjin Noh*, Soyeon Choi*, Kiyoung Kim**, and Hoyoung Yoo*
Dept.of Electronics Engineering, Chungnam National University*, Daemyeong TS**
E-mail : dhkim21.cas@gmail.com, yjnoh.cas@gmail.com, sychoi.cas@gmail.com,
giyoung.kim@dmtsc.com, hyyoo@cnu.ac.kr

Abstract

In this paper, we implement a fast signal receiver for multiple signals using FPGA. The previous signal receiver platforms are impossible to access and reconstruct internal hardware. Moreover, when a signal receiver is developed using USRP or measurement equipment, the number of ports that can receive input signals be heavily restricted. Therefore, a multi-input high speed signal receiver is implemented using the ADS52J90 EVM board and KCU 105 evaluation board. The received data stored in the BRAM is well transmitted through Ethernet, and the transmission speed can achieved 9.92Mbps. It is verified that the signal input through the ADC could be received through the multi-input high-speed receiver platform.

I. 서론

기존의 신호 수신기 플랫폼은 내부의 하드웨어에 접근하고 재구성하는 것이 불가능하여 활용할 수 있는 범위가 제한적이다 [1]. 또한 USRP 혹은 계측장비를 활용하여 신호 수신기를 개발할 경우, 입력 신호를 수신할 수 있는 포트가 4 개 이하로 제한 되어 수천 개의 신호를 수신할 수 있는 시스템을 구성하는 데에 제약이 있다. 그러나 실제 시스템에서는 수십개에서 수백개의 신호를 수신해야 하는 경우가 많으며, 신호 수신기 뿐만 아니라 수신한 신호를 처리하는 하드웨어 또한 요구된다. 본 논문에서는 FPGA 를 활용하여

ADC 에서 처리된 다중 고속 신호를 수신하고 처리하는 플랫폼을 설계하고자 한다.

II. 다중 고속 신호 수신 FPGA 플랫폼

그림 1 은 다중 고속 신호 수신을 위한 FPGA 플랫폼을 나타낸다. 코어는 softcore 인 MicroBlaze 를 이용한다. FPGA 플랫폼의 clocking wizard 모듈은 시스템 클럭과 ADC 에 전달되는 샘플링 클럭을 생성한다. FPGA 에 연결된 ADC 의 결과는 하나의 샘플 단위로 전달되며, 샘플을 구성하는 비트 수는 ADC 의 해상도에 따라 결정된다. 하나의 샘플과 샘플을 구성하는 비트는 각각 FCLK (frame clock)과 BCLK (bit clock)에 동기화를 맞추어 출력된다. 따라서 데이터 수신 모듈에서는 FCLK, BCLK 과 데이터의 동기를 맞추어 수신해야 한다. ADC 에서 출력되는 데이터는 BCLK 의 rising edge 에서만 출력되는 SDR (single data rate)과 rising edge 와 falling edge 모두에서 출력되는 (double data rate) 중 하나로 출력된다. 데이터가 DDR 로 출력되는 경우 DDR 데이터를 수신할 수 있는 레지스터를 사용해야 한다. 더불어, 대부분의 ADC 출력은 LVDS(low-voltage differential signaling)로 출력되므로 differential buffer 를 이용해 single-ended 신호로 변환해주는 과정이 필요하다.

본 논문에서는 신호 수신 후 FFT 연산을 수행하기 위한 하드웨어와 그 결과의 위상과 크기를 연산을 위한 하드웨어를 구현하였다. 위상과 크기 연산 결과는 메모리에 저장하였으며, 메모리에 저장된 데이터는

이 논문은 교육부가 지원하는 한국연구재단(NRF)을 통한 기초과학연구프로그램(No.2021R111A3055806), 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No.2022R1A5A8026986).

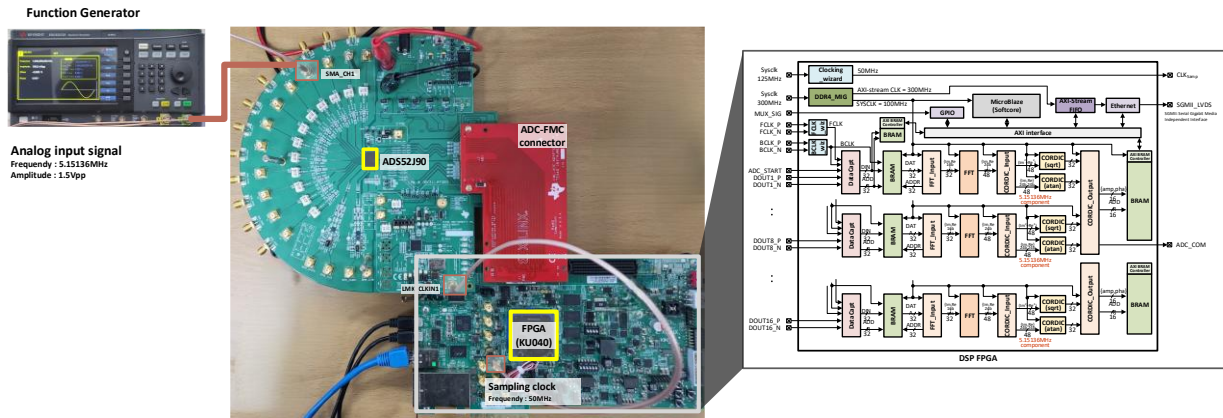


그림 1. FPGA 를 이용한 고속 신호 수신기 플랫폼

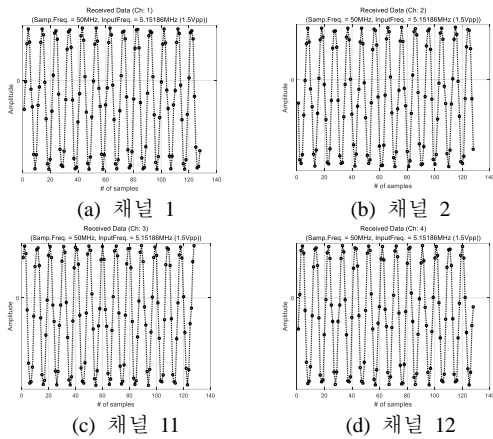


그림 2. 신호 수신 결과

Ethernet 통신을 이용해 PC 로 전달되도록 하였다 [2].

코어 시스템에서 Ethernet 통신을 제어하기 위해서는 펌웨어를 추가로 설계하여야 한다. 펌웨어는 BRAM 에 저장된 신호 수신 결과와 FFT 의 위상과 크기 데이터를 읽어 Ethernet 을 통해 전달하도록 한다.

III. 실험 결과 및 결론

본 논문에서는 Xilinx Kintex UltraScale KU040 칩이 장착된 KCU105 보드를 사용하여 TI 사의 ADC 인 DS52J90 EVM board 의 출력을 수신하도록 실험 환경을 구성하였다. 표 1 은 16 채널의 신호를 수신할 수 있는 플랫폼을 설계하여 FPGA 에 했을 때의 하드웨어 리소스 사용량을 정리한 결과로 전체의 약 40% 를 사용한다.

본 논문에서는 ADC 의 입력 신호는 함수 발생기로 1.5 Vpp 의 5.15136MHz 신호를 생성해 인가하였다. ADC 의 샘플링 클럭은 FPGA 에서 생성하였으며,

표 1. 하드웨어 구현 결과

Resource	Utilization	Available	Utilization %
LUT	110,654	242,400	45.65%
LUTRAM	13,448	112,800	11.96%
FF	147,693	484,800	30.46%
BRAM	115.5	600	25.92%
DSP	483	1,920	25.16%
IO	171	520	32.88%
BUFG	40	480	8.33%
PLL	3	20	15.00%

50MHz 의 신호를 SMA 로 출력하였다. ADC 의 결과는 10-bit 의 해상도로 DDR 로 출력되도록 설정하였다.

코어는 펌웨어를 통해 Ethernet 통신으로 수신 결과를 PC 로 전달한다. 전달받은 신호를 MATLAB 으로 재현한 결과는 그림 2 과 같으며, 그림 2 은 전체 16 개 채널 중 1, 2, 11, 12 채널에 대해 온전하게 신호가 수신됨을 확인할 수 있으며, 나머지 채널에 대해서도 같은 수신 결과를 나타낸다.

본 논문에서는 ADC 를 통해 다중 채널에 대해 입력된 신호가 FPGA 에 구현한 플랫폼을 통해 원활하게 수신됨과 동시에, Ethernet 을 통해 PC 로 송신이 가능함을 검증하였다.

참고문헌

[1] Z. Wenhao, W. Jun, Z. Yuxi and L. Wei, "Design of RF digital receiver based on FPGA," CCWMC 2009, Shanghai, China, 2009.
 [2] L. Janik, M. Novak, L. Hudcova, O. Wilfert and A. Dobesch, "LwIP based network solution for MicroBlaze," CoBCom 2016, Graz, Austria, 2016.